

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-140598

(43)Date of publication of application : 16.05.2003

(51)Int.Cl.

G09G 3/28  
G09G 3/20  
H04N 5/66

(21)Application number : 2001-336374

(71)Applicant : SONY CORP

(22)Date of filing : 01.11.2001

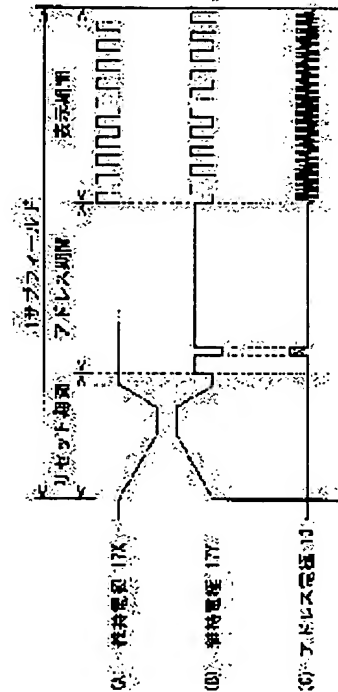
(72)Inventor : SUZUKI YOSHIO

## (54) PLASMA DISPLAY DEVICE, ITS DRIVE CIRCUIT AND DRIVE METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a plasma display device in which highly efficient light emitting display is realized using a simple method and to provide its drive circuit and its drive method.

**SOLUTION:** A data pulse power supply and an RF (radio frequency) power supply are connected to a data driver in a changeover manner. The data driver generates data pulses corresponding to video data in an address interval based on a data pulse power supply voltage, outputs the data pulses to an address electrode 13 and outputs high frequency pulses from the RF power supply in a sustain interval. In the sustain interval, discharging is maintained in a high frequency electric field, energy loss due to the heating by electrons or the like is reduced, highly efficient Xe excitation is conducted and light emitting efficiency is improved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003-140598

(P2003-140598A)

(43)公開日 平成15年5月16日(2003.5.16)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 0 9 G 3/28		G 0 9 G 3/20	6 1 1 A 5 C 0 5 8
3/20	6 1 1		6 2 1 A 5 C 0 8 0
	6 2 1		6 2 4 M
	6 2 4		6 4 1 E
	6 4 1		6 4 2 D

審査請求 未請求 請求項の数 4 O L (全 9 頁) 最終頁に続く

(21)出願番号 特願2001-336374(P2001-336374)

(22)出願日 平成13年11月1日(2001.11.1)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 鈴木 芳男

東京都品川区北品川6丁目7番35号 ソニ

株式会社内

(74)代理人 100098785

弁理士 藤島 洋一郎

Fターム(参考) 5C058 AA11 AB06 BA01 BA05 BA07

BB25

5C080 AA05 BB05 DD26 DD30 EE28

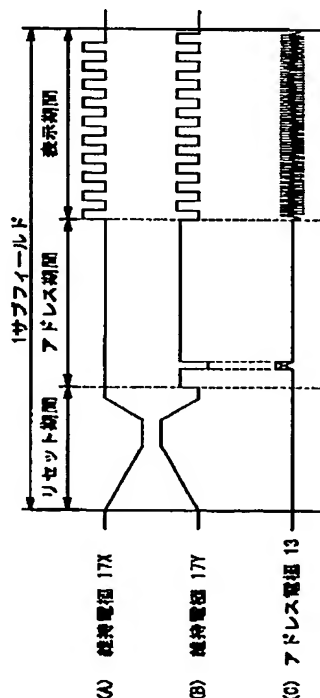
FF12 HH05 JJ02 JJ04 JJ06

(54)【発明の名称】 プラズマ表示装置とその駆動回路および駆動方法

(57)【要約】

【課題】 高効率な発光表示を簡便な方法で行うことを可能とするプラズマ表示装置とその駆動回路、および駆動方法を提供する。

【解決手段】 データパルス電源、RF電源は、切換え可能にデータドライバに接続されている。データドライバはアドレス電極13に対し、アドレス期間には映像データに対応するデータパルスをデータパルス電源電圧を基に生成して出力すると共に、サステイン期間にはRF電源からの高周波パルスを出力する。サステイン期間には、高周波電界中にて放電が維持され、電子等の加熱によるエネルギー損失が減少して高効率にXe励起が行われ、発光効率が向上する。



## 【特許請求の範囲】

【請求項1】 対向配置された第1の基板および第2の基板と、

前記第1の基板の上に並列するように設けられた維持電極対と、

前記第2の基板の上に前記維持電極対と交差する方向に並列するように設けられたアドレス電極と、

前記維持電極対に印加される放電維持電圧よりも高い周波数またはより小さいパルス幅の高周波電圧を前記アドレス電極に印加するための駆動回路部とを備えたことを特徴とするプラズマ表示装置。

【請求項2】 対向配置された第1の基板および第2の基板と、前記第1の基板の上に並列するように設けられた維持電極対と、前記第2の基板の上に前記維持電極対と交差する方向に並列するように設けられたアドレス電極とを備えたプラズマ表示装置の駆動回路であって、前記維持電極対に印加される放電維持電圧よりも高い周波数またはより小さいパルス幅の高周波電圧を発生し、前記アドレス電極に印加するための高周波電圧印加手段を備えたことを特徴とするプラズマ表示装置の駆動回路。

【請求項3】 前記高周波電圧を前記アドレス電極に印加するタイミングを放電維持期間内とするように制御するタイミング制御手段を備えたことを特徴とする請求項2記載のプラズマ表示装置の駆動回路。

【請求項4】 対向配置された第1の基板および第2の基板と、前記第1の基板の上に並列するように設けられた維持電極対と、前記第2の基板の上に前記維持電極対と交差する方向に並列するように設けられたアドレス電極と、前記維持電極対に印加される放電維持電圧よりも高い周波数またはより小さいパルス幅の高周波電圧を前記アドレス電極に印加するための駆動回路部とを備えたプラズマ表示装置の駆動方法であって、

前記駆動回路部が放電維持期間中に前記高周波電圧を前記アドレス電極に印加することを特徴とするプラズマ表示装置の駆動方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、交流プラズマ放電を用いて表示を行うプラズマ表示装置とその駆動回路および駆動方法に関する。

## 【0002】

【従来の技術】プラズマディスプレイ（PDP：Plasma Display Panel）は、近年における薄型・大画面化に対応し得るディスプレイとして注目されており、既に40インチ以上の大画面を有する壁掛けテレビとして製品化が始まっている。PDPの表示パネルは、2枚のガラス基板を貼り合わせた構造をしており、前面ガラス基板上には対をなす維持電極が、背面ガラス基板の上には維持

電極と交差する方向にアドレス電極がそれぞれ配列されている。また、2つの基板の間にはXe、Ne等からなる放電ガスが封止されており、カラー表示の場合には、維持電極対の間に形成される電界にて励起されたXeガスが紫外線を放ち、これが各色の蛍光体に照射されて発光するようになっている。

【0003】一般的なPDPはデジタル制御されており、サブフィールド法により駆動されている。サブフィールド法では、図8に示すように、画像表示における1フィールドの表示画面はいくつかのサブフィールドに時分割され、サブフィールド毎に発光制御することで階調表示を行う。すなわち、輝度変調は表示時間幅の変調により表現される。その際には、1フィールドの表示期間が、Nビットの画素データのビット桁に応じて重み付けされた回数だけ発光させるN個のサブフィールドに分割される。例えば、1画素あたりの画素データが8ビットの場合、1フィールドの表示期間を8つのサブフィールドSF1～SF8に分割する。このとき、各サブフィールドSF1～SF8の発光回数は、ビット桁に応じて $2^0(1)$ 、 $2^1(2)$ 、 $2^2(4)$ 、 $\dots$ 、 $2^7(128)$ 回に設定され、これら8個のサブフィールドのオン/オフを組み合わせたことによって256階調の表示が実現される。

【0004】また、個々のサブフィールドは、リセット期間、アドレス期間および放電維持（サステイン）期間の3種類の動作期間からなる。選択消去方式を例にとり説明すると、リセット期間では、画素全てについて放電が行われて壁電荷が画面全体に一樣に形成され、アドレス期間では、各画素の発光/非発光に応じて選択的に放電が行われて所定画素から壁電荷が消去され、表示画素が選択される。次のサステイン期間では、全画素の維持電極対に交流パルス電圧（サステインパルス）が印加され、壁電荷が形成された画素のみに放電が発生・維持され、この期間中、発光が継続されるようになっている。

## 【0005】

【発明が解決しようとする課題】最近では、こうした平面型PDPはほぼ実用化の域に達しているが、ブロードバンドの普及やIT技術の進歩に際し、今後の更なる画質向上が課題となっている。しかしながら、上述の表示方法において、階調数を増やすということはサブフィールド数を増やすことであり、解像度を上げるということは走査電極数を増加させることであって、アドレス期間が長くなることを意味する。どちらの場合にも、実フィールドに対する総サステイン期間は縮減される（明るさを維持するため、サブフィールド全体は1フィールドの期間に収められる）ことから、輝度の劣化を招くという問題があった。

【0006】階調数の増大に伴いサブフィールド数を増加させる場合、下位ビットになるほど十分なサステイン期間をとることが難しくなる。特に、最小ビット（LSB）である最下位のビットに対応したサブフィールドS

F1では、サスティン期間が短すぎるために安定して放電を行うことが困難であった。

【0007】また、画素数を増やして高解像度化を図る場合にも、各サブフィールド内ではアドレス期間が長くなるために相対的にサスティン期間が短縮され、輝度が低下することとなる。こうした輝度低下を補完するため、サスティンパルスの周波数を高くすることが一般的に行われているが、周波数を上げれば放電状態が不安定になることがあった。これらの動作不安定性は、ちらつきや階調不良等の要因となっていた。

【0008】その一方で、サスティンパルスに高周波(RF; Radio Frequency)成分を導入することで発光効率を改善する試みがなされている(J.Kang et al; IDW'99 Proceedings, PDPp1-19, pp691-694, 1999)。通常のPDPでは、サスティンパルスが供給する電力のうち、発光に寄与するXeの励起に対しては15~20%のみが消費され、残りはほぼ電子やイオンの加熱に費やされるため、発光効率は1.5(1m/W)程度と低い。ところが、サスティン周波数をRF帯域まで上げると、プラズマは弱い電界中でも維持されることがわかってい

る。従って、一旦放電が開始した後は、低電圧のRFパルスによりプラズマを維持することができ、そのときの電子のエネルギーは、電界強度が弱いために通常のサスティンパルス印加時より低くなる。このように、RFパルスを投入すると、電子やイオンの加熱等による損失が逆に20%程度に抑えられ、供給電力の約60%でXe励起ができることがわかってい

る。上記文献では、前面基板にRF電極を設けたPDPを作製してRFパルスを導入した結果、発光効率は約10(1m/W)、交流パルス駆動と比較しておおよそ10倍になることが報告されている。しかしながら、その場合PDPにはRF専用電極を設けなければならないが、既に3種類の電極が配

されているディスプレイパネル上に新たな電極を付加したり、電極構造を変更したりすると、パネルの構造を複雑化させ製造が困難となる虞があった。

【0009】本発明はかかる問題点を鑑みてなされたもので、その目的は、高効率な発光表示を簡便な方法で行うことを可能とするプラズマ表示装置とその駆動回路、および駆動方法を提供することにある。

【0010】【課題を解決するための手段】本発明のプラズマ表示装置は、維持電極対に印加される放電維持電圧よりも高い周波数またはより小さいパルス幅の高周波電圧をアドレス電極に印加するための駆動回路部を備えたものである。

【0011】本発明のプラズマ表示装置の駆動回路は、維持電極対に印加される放電維持電圧よりも高い周波数またはより小さいパルス幅の高周波電圧を発生し、アドレス電極に印加するための高周波電圧印加手段を備えたものである。

【0012】本発明のプラズマ表示装置の駆動方法は、駆動回路部が放電維持期間中にアドレス電極に高周波電圧を印加するものである。

【0013】本発明のプラズマ表示装置とその駆動回路および駆動方法では、放電維持期間中にアドレス電極に高周波電圧が印加され、高周波電界中でXeが励起される。

【0014】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0015】図1は、本発明の一実施の形態に係るプラズマ表示装置の構成を示すブロック図である。このプラズマ表示装置は、データパルス発生回路36にRF電源43およびスイッチ44を備えたこと以外は従来と同様に構成されている。すなわち、表示パネル10と、入力された映像信号SVにA/D変換を施し映像データDVを生成するA/D変換器31と、A/D変換器31によって映像データDVを格納する画像メモリ32と、A/D変換器31、画像メモリ32および各パルス発生回路34~36の動作タイミングの制御を行うタイミング制御部33と、表示パネル10に駆動パルスを出力するXパルス発生回路34、Yパルス発生回路35およびデータパルス発生回路36により主に構成されている。なお、Xパルス発生回路34、Yパルス発生回路35は駆動パルスを維持電極17X、17Yのそれぞれに印加し、データパルス発生回路36は画像データDVに対応するデータパルスをアドレス電極13に印加するようになっている。

【0016】まず表示パネル10の具体的構成を図2に示す。このように、表示パネル10は、透明性を有した高歪点ガラスやソーダライムガラスからなる前面ガラス基板11および背面ガラス基板12が放電空間を介して対向配置されたものである。前面ガラス基板11の上には、対をなす維持電極17(17X、17Y)が複数並列に設けられている。これら維持電極17は、例えばITO(Indium-Tin Oxide)からなる透明電極であり、それぞれの側縁には電気抵抗低減のためにAl(アルミニウム)等の金属からなるバス電極18が一体的に設けられている。なお、維持電極17Xと維持電極17Yの間は、維持放電の際の放電ギャップとなり、一般的には100μm程度である。こうした維持電極対17の上には、例えばSiO<sub>2</sub>(二酸化珪素)からなる誘電体層19、MgO(酸化マグネシウム)からなる保護層20が順に設けられている。

【0017】一方、背面ガラス基板12の上には、例えばAl等の金属からなるアドレス電極13が並列に配設されている。このアドレス電極13は、後述するように高周波電圧が印加されるので、高周波を伝搬させるようにインピーダンスを低くしてマッチングをとることが必要となる。その上には、例えばSiO<sub>2</sub>からなる誘電体

層14が設けられ、更にその上には、放電空間を各アドレス電極13毎に区画するための隔壁15が設けられている。隔壁15は、例えば断面が台形状であり、主として低融点ガラスにより形成されており、これら隔壁15の間には蛍光体16が設けられている。

【0018】このような構成を有する背面ガラス基板11と前面ガラス基板12は、維持電極17(17X, 17Y)とアドレス電極13とが互いの延長方向を直交させて各交点を画素とするマトリクスを構成するように位置合わせされる。図1では、こうした電極構造を表示面側から見た様子が表されており、維持電極17X, 17YはそれぞれXパルス発生回路34, Yパルス発生回路35に、アドレス電極13はデータパルス発生回路36に電氣的に接続されている。また、基板11, 12は、放電空間に放電ガスを所定の圧力で封入するようにして周縁部に気密封止されている。放電ガスには、例えば希ガスのうち1種類以上を用いることができ、ここでは、XeとNeの混合ガスが用いられている。

【0019】また、データパルス発生回路36は、より詳細にはデータドライバ41、データパルス電源42にRF電源43を加えて構成され、2種類の電源42, 43が切り換え可能のようにデータドライバ41に電氣的に接続され、このデータドライバ41がメモリ32からの映像データに応じてデータパルス電源42に与えられる電圧を基に生成したデータパルス、および、RF電源43からの高周波パルスをアドレス電極13に出力するようになっている。

【0020】図3は、こうしたデータパルス発生回路36の回路構成の一例を示している。データドライバ41は、例えば、pチャネル、nチャネルのMOS(Metal Oxide Semiconductor)トランジスタ41p, 41nからなり、アドレス電極13の各々に対し個別に設けられるインバータ回路として構成されている。その電源がデータパルス電源42もしくはRF電源43であり、スイッチ44の切り換えによって一方が選択されるようになっている。スイッチ44には、例えばFET(Field Effect Transistor)等の半導体素子を用いることができる。

【0021】ここで、RF電源43は、後に説明するサスティンパルスよりも周波数が高い高周波電圧、または、サスティンパルスよりもパルス幅が小さい短パルスの電圧を供給する電源であり、その周波数と電圧は放電ガス条件等により適宜調整される。例えば、周波数は、通常高周波とされる帯域から選べばよく、10MHz〜50MHz程度とすることができ、電圧値は放電ガスの放電開始電圧以下であって放電維持が可能な値に選ばれる。なお、以下の説明では、こうした高周波、短パルスの電圧をまとめて単に高周波パルスと呼ぶことにする。また、RF電源43には、出力側に、供給電力を増大させるようインピーダンスマッチングを行うマッチング回

路43aが付設されている。

【0022】またこのインバータでは、入力端より、画像メモリ32からの映像データDVまたはタイミング制御部33からの切り換え信号SSが入力され、これに応じてトランジスタ41p, 41nがスイッチング動作を行うことにより、接続された電源に応じたパルス電圧を出力端からアドレス電極13側に出力するようになっている。

【0023】次に、このプラズマ表示装置の動作を説明する。ここでは、表示パネル10をサブフィールド駆動法により階調制御を行うと共に、選択消去方式で駆動するものとする。図4(A)〜(C)は、それぞれ各パルス発生回路34〜36から維持電極17X, 維持電極17Y, アドレス電極13に入力される電圧波形を示す駆動シーケンス(1サブフィールド分)である。

【0024】リセット期間では、通常と同様に、タイミング制御部33に制御されたXパルス発生回路34, Yパルス発生回路35が全ての維持電極17X, 17Yに所定値のパルスを印加し、対となる両極間において予備放電を行う。これにより、全ての画素領域の保護層19上にいわゆる壁電荷が形成される。

【0025】次のアドレス期間でも通常同様に、タイミング制御部33の制御下で、Yパルス発生回路35が並列する維持電極17Yに対して順次パルスを単発的に出力してゆき、同時に、その走査タイミングに同期させてデータパルス発生回路36がアドレス電極13にデータパルスを印加する。データパルスは、後述するように映像データDVから生成された信号に基づいたものであり、維持電極17Yを共有した水平方向の画素のうち発光させない画素に属するアドレス電極13に対して印加されるようになっている。また、維持電極17Y, アドレス電極13への入力電圧値は、両極に電圧がかけられたときのみ放電開始電圧を超えてアドレス放電が発生するように設定されている。これにより、発光させない画素において選択的にアドレス放電が発生して壁電荷が消去される。

【0026】こうしたアドレス放電の制御動作は以下のように行われる。まず、入力された映像信号SVを、A/D変換器31はタイミング制御部33によるサンプリング制御に基づいて各画素毎に3原色各色の輝度を示す8ビットのデジタル信号、すなわち映像データDVへと変換し、順次画像メモリ32に供給する。この映像データDVは、各ビットの輝度成分比が最下位ビットから順に1:2:4:8:16:32:64:128となり、最高輝度を(11111111)、すなわち255として量子化されたものである。

【0027】画像メモリ32は、この映像データDVをタイミング制御部33の制御に基づき、例えば8つのビットデータに分離して、ライン単位またはフィールド単位に格納する。また、画像メモリ32は、格納された映像データDVのうち次に表示するサブフィールドにおけ

10

20

30

40

50

る各画素毎のビットデータをタイミング制御部33の制御に応じて読み出し、データパルス発生回路36に出力する。

【0028】データパルス発生回路36は、入力された映像データDV（画素毎のビットデータ）に基づいて2値のデータパルスを生成し、これらをタイミング制御部33によるタイミング制御に基づいて各画素に対応するアドレス電極13に出力する。本実施の形態では、このときスイッチ44はデータパルス電源42の方が導通するようにスイッチングされており、データドライバ41に電源電圧 $V_{dd}$ が供給される。データドライバ41は、ビットデータに対し反転出力を行う。すなわち、ビットデータ「1」が入力するとき（トランジスタ41p、トランジスタ41n）は（オフ、オン）となり出力0（V）、ビットデータ「0」のときは（41p、41n）は（オン、オフ）となり出力 $V_{dd}$ （V）である。これにより、表示させない画素に対してアドレス電極13から電圧を印加するようになっている。

【0029】次に、サステイン期間では、タイミング制御部33に制御されたXパルス発生回路34、Yパルス発生回路35が全ての維持電極17X、17Yにサステインパルスを印加する。また、ここでは、上記アドレッシングの後に、データパルス発生回路36のスイッチ44をRF電源43の側を導通とするよう切り替えておき、サステインパルスの入力開始と同時にタイミング制御部33からの切り替え信号SSをデータドライバ41の全段に入力する。これにより、維持放電開始と同じタイミングでRF電源43からトランジスタ41pを介してアドレス電極13に高周波パルスが印加される（図4（C））。

【0030】このとき表示画素においては、印加されたサステインパルスに壁電荷の電位が重畳されて放電開始電圧に達した維持電極17X、17Yの間で放電が開始され、高周波パルスにより放電が維持される。なお、高周波パルスが印加される間、サステインパルスはプラズマを維持安定させるためのトリガーとして印加される。

【0031】放電中、Xeの励起エネルギーが紫外線放出に充当され、放射される紫外線が当たって蛍光体16が発光する。ここでは、既に説明したように、放電を高周波パルスにより行うために、電子等の加熱によるエネルギー損失が減少し、効率よくXeが励起されることから、従来よりも発光効率が向上し、輝度が維持・向上される。

【0032】こうして、サステイン期間中、表示すべき画素が選択的に発光し、このサブフィールドが時系列的に重ね合わせられることで、1フィールド相当の輝度が積み付けられて、階調制御された画像が表示される。この表示画像の輝度もまた維持・向上される。

【0033】このように、本実施の形態では、データパルス発生回路36にRF電源43を設け、サステイン期

間中に、スイッチ44を介してRF電源43からアドレス電極13に高周波パルスを印加するようにしたので、高周波電界中にて電子等の加熱によるエネルギー損失が減少し、高効率にXe励起が行われる。よって、維持放電による発光効率を向上させることができ、高輝度の表示を行うことができる。また、本実施の形態によれば、サステイン期間を短縮したとしても従来と同等の輝度を確保することが可能となり、十分な輝度を保ちつつ階調や解像度を改善することが可能となる。

10 【0034】更に、本実施の形態では、RF電源43を駆動回路に組み込み、サステイン期間は用いられていなかったアドレス電極13を利用して従来と同様の構成を有する表示パネル10を高周波駆動するようにしたので、装置に大きな改変を行うことなく簡便に実施することが可能である。

20 【0035】なお、本発明は、上記実施の形態に限定されず、種々の変形実施が可能である。例えば、上記実施の形態では、RF電源43はデータドライバ41を介してアドレス電極13に接続されるよう説明したが、本発明のプラズマ表示装置では、高周波パルスがデータパルスとは別個にタイミング制御されてアドレス電極13に入力されるように構成されていればよく、RF電源とアドレス電極の接続方法は上記実施の形態で説明したものに限らず様々に変形が可能である。

30 【0036】図5に、その具体的な変形例を示す。この場合には、映像データDVが入力される入力端 $V_{in}$ にトランジスタ41p、41nからなるインバータが設けられ、トランジスタ41pのソース側にデータパルス電源42が、インバータ出力側にpMOS型のトランジスタ51pを介してアドレス電極13がそれぞれ接続されている。また、アドレス電極13にはマッチング回路43a、RF電源43がnMOS型のトランジスタ52nを介して接続されており、トランジスタ51p、52nのゲートはゲート信号SGが入力されるゲート入力端 $V_g$ に接続されている。

40 【0037】このパルス発生回路では、映像データDVが前段のインバータを、ゲート信号SGが2つのトランジスタ51p、52nをスイッチングすることによりデータパルスと高周波パルスとが別々のタイミングでアドレス電極13に出力されるようになっている。ゲート信号SGは高周波パルスの印加期間にわたって持続的に入力されるが、それ以外の期間には入力されない。従って、アドレス期間では、トランジスタ51pがオン、トランジスタ52nがオフとなり、RF電源43とアドレス電極13との導通は遮断され、アドレス電極13には専ら、入力端 $V_{in}$ に入力される映像データDVが行うインバータの動作制御とデータパルス電源42からの供給電圧により生成されるデータパルスが入力される。サステイン期間では、今度はゲート信号SGが入力端 $V_g$ に50 入力されるためにトランジスタ51pがオフ、トランジ

スタ52nがオンとなり、入力端 $V_{in}$ 側の導通は遮断され、RF電源43のみがアドレス電極13に対し導通するようになる。これにより、ゲート信号SGと印加時間が等しい高周波パルスをアドレス電極13に供給することができる。

【0038】この変形例では、高周波パルスの出力制御をデータパルス制御用のトランジスタ41を介さずに行うので、先に入力された映像データDVの影響によりトランジスタ内に蓄積電荷が存在すると誤動作が心配されるが、このような他の信号の影響を排除することができる。

【0039】また、本発明においてアドレス電極に印加される高周波電圧は、サステイン期間中の少なくともいづれかにアドレス電極に印加されて維持放電に実効的に寄与するものであればよい。またその一方で、サステインパルスも上記実施の形態のように通常用いられるパターンに限定されるものではない。例えば、高周波パルスとサステインパルスは、維持放電中の電界における荷電粒子の生成と消滅のバランスをとるように電圧値、周波数またはパルス幅を互いの兼ね合いにより設定することが可能である。

【0040】そのような一例として、図6に上記実施の形態の変形例を示す。この場合には、最初の放電を開始させるために、サステイン初期に維持電極17に単一パルスまたは短期間持続するパルスを印加しておき、これと入れ替わるようにして残りのサステイン期間中、高周波パルスのみを印加するようになっている。このときの高周波パルスの電力は、維持電極17に電圧が印加されなくとも放電が維持されるように設定される。

【0041】更に、図7のように、図6の駆動波形において高周波パルス印加中もサステインパルス電圧を0Vに落とさず、例えば従来の半分程度の電圧を維持電極17に持続して印加するようにし、逆に高周波パルスの電力を低く抑えるようにしてもよい。

【0042】

【発明の効果】以上説明したように本発明に係るプラズマ表示装置は、維持電極対に印加される放電維持電圧よりも高い周波数またはより小さいパルス幅の高周波電圧をアドレス電極に印加するための駆動回路部を備えるようにし、本発明によるプラズマ表示装置の駆動回路は、上記の高周波電圧を発生し、アドレス電極に印加するための高周波電圧印加手段を備えるようにしたので、これらによれば、アドレス電極に高周波電圧を印加して維持放電を行い、Xeを高周波電界中で励起させることにより、電子等に与えられるエネルギー損失を減少させ、X

e励起に対するエネルギー効率を向上させることができる。従って、維持放電による発光効率を向上させることができ、高輝度化、あるいは、輝度を保ちつつ解像度や階調数を高めて高画質化を行うことが可能となる。また、これら本発明のプラズマ表示装置およびその駆動回路は、従来の構成から大きな改変を施す必要がなく、簡便に高周波駆動を行うことを可能とする。

【0043】本発明のプラズマ表示装置の駆動方法によれば、駆動回路部が放電維持期間中にアドレス電極に高周波電圧を印加するようにしたので、Xe励起が高周波電界中で行われ、電界を介して電子等に供与されるエネルギー損失が減少してXe励起に対する電力効率が向上する。従って、簡易な方法でありながら高い発光効率で駆動させることができ、高輝度な表示、あるいは、輝度を保ちつつ解像度や階調数の高い表示を行うことが可能である。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係るプラズマ表示装置の構成を示すブロック図である。

【図2】図1に示したプラズマ表示装置の表示パネルの構成を示す構成図である。

【図3】図1に示したプラズマ表示装置におけるデータドライバの具体的構成例を示す回路図である。

【図4】図1に示したプラズマ表示装置の駆動シーケンスを示す電圧波形図である。

【図5】図1に示したプラズマ表示装置の変形例を示す回路図である。

【図6】本発明の実施の形態の変形例に係る電圧波形図である。

【図7】本発明の実施の形態の変形例に係る電圧波形図である。

【図8】従来のプラズマ表示装置の一般的な駆動方法を説明するための図である。

【符号の説明】

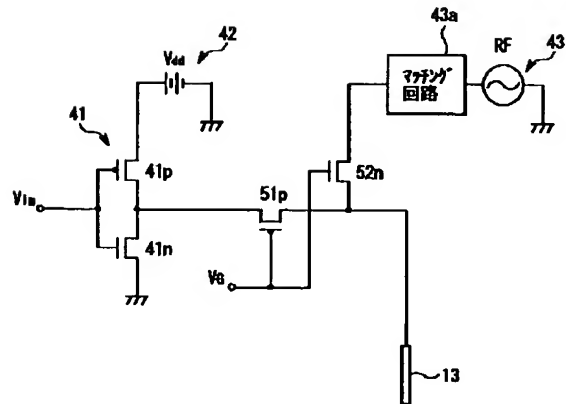
10…表示パネル、11…前面ガラス基板、12…背面ガラス基板、13…アドレス電極、14…誘電体層、15…隔壁、16…蛍光体、17、17X、17Y…維持電極、18…バス電極、19…誘電体層、20…保護層、31…A/D変換器、32…画像メモリ、33…タイミング制御部、34…Xパルス発生回路、35…Yパルス発生回路、36…データパルス発生回路、41…データドライバ、41p、51p…pMOSトランジスタ、41n、52n…nMOSトランジスタ、42…データパルス電源、43…RF電源、43a…マッチング回路、44…スイッチ。



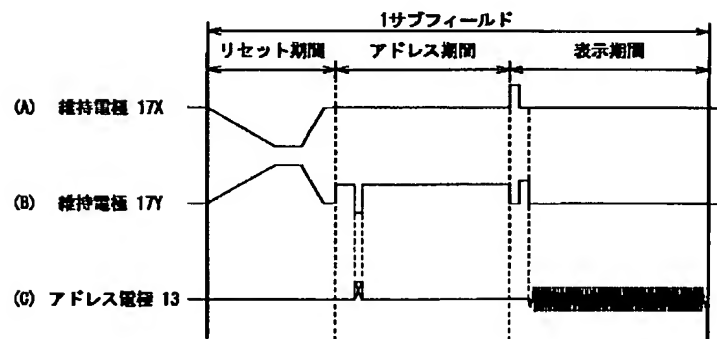




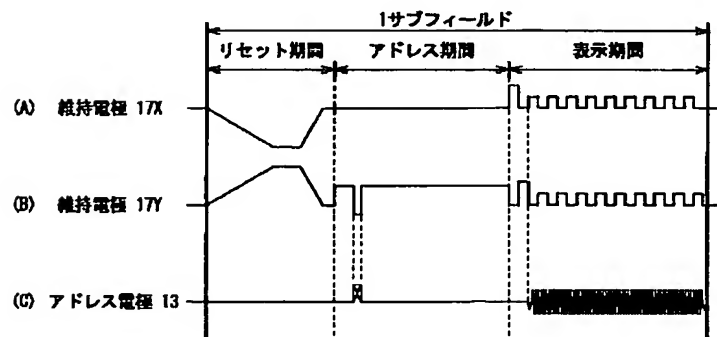
【図5】



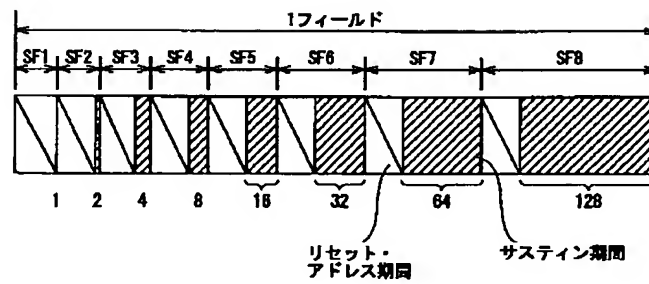
【図6】



【図7】



【図8】



フロントページの続き

(51)Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 0 9 G 3/20	6 4 2	H 0 4 N 5/66	1 0 1 B
H 0 4 N 5/66	1 0 1	G 0 9 G 3/28	H